

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2002-526861
(P2002-526861A)

(43) 公表日 平成14年8月20日 (2002.8.20)

(51) Int.Cl.⁷

G 0 6 F 12/00

識別記号

5 6 4

5 9 7

F I

G 0 6 F 12/00

ターゴト^{*} (参考)

5 6 4 A 5 B 0 6 0

5 9 7 C

審査請求 有 予備審査請求 有 (全 41 頁)

(21) 出願番号 特願2000-575035(P2000-575035)
(86) (22) 出願日 平成11年3月10日(1999.3.10)
(85) 翻訳文提出日 平成13年3月27日(2001.3.27)
(86) 国際出願番号 PCT/US99/05175
(87) 国際公開番号 WO00/20978
(87) 国際公開日 平成12年4月13日(2000.4.13)
(31) 優先権主張番号 09/166,004
(32) 優先日 平成10年10月2日(1998.10.2)
(33) 優先権主張国 米国 (US)
(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

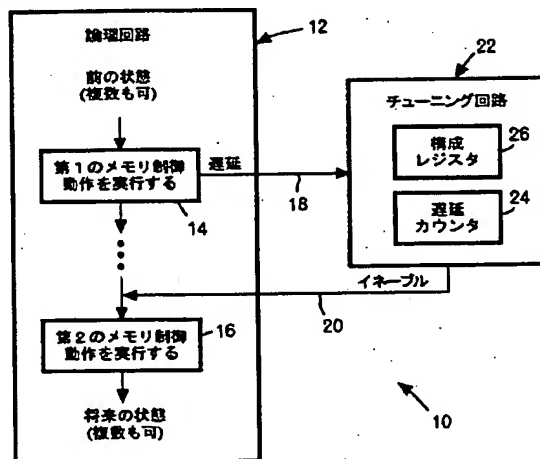
(71) 出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)
(72) 発明者 マクラナハン、ゲーリー、ポール
アメリカ合衆国55906 ミネソタ州ロチェスター ノース・イースト アルバータ・ドライブ 4015
(74) 代理人 弁理士 坂口 博 (外2名)
Fターム(参考) 5B060 CC01

(54) 【発明の名称】 被制御メモリ記憶装置のタイミング・パラメータに基づいてパフォーマンスをチューニングするためのプログラマブル遅延カウンタを備えたメモリ・コントローラ

(57) 【要約】

【課題】 1つまたは複数のプログラマブル遅延カウンタ(24)によりメモリ制御動作のタイミングを制御するチューニング回路(22)を使用するメモリ・コントローラ回路配置および方法を提供すること。

【解決手段】 各カウンタは、メモリ制御動作のパフォーマンスを遅延させてそのコントローラ(10、78)に結合されたメモリ記憶装置に関する所定のタイミング・パラメータを満たすように選択した数のクロック・サイクルを循環するようプログラミングされる。プログラマブル遅延カウンタの使用により、同じメモリ・コントローラ設計によって変動するタイミング・パラメータを有する様々なメモリ記憶装置(76)をサポートすることができる。そのうえ、プログラマブル遅延カウンタの使用により、メモリ・コントローラの状態機械内の単一実行経路が特定のタイミング特性ならびに複数のタイミング特性に関する任意の数のタイミング・パラメータ変形形態をサポートすることができる。



【特許請求の範囲】**【請求項1】**

(a) 第1および第2のメモリ制御動作を実行することにより少なくとも1つのメモリ記憶装置によるデータ転送を制御するように構成された論理回路であって、このタイプのメモリ記憶装置が第1および第2のメモリ制御動作間の最小遅延を定義する所定のタイミング・パラメータを有する論理回路と、

(b) 論理回路に結合され、選択した数のクロック・サイクルの間、プログラマブル遅延カウンタを循環して第2のメモリ制御動作のパフォーマンスを遅延させることにより、第1および第2のメモリ制御動作間の遅延を制御してメモリ記憶装置に関する所定のタイミング・パラメータを満たすように構成されたチューニング回路とを含む、メモリ・コントローラ。

【請求項2】

第1のメモリ制御動作が制御信号をアサートすることを含み、第2のメモリ制御動作が制御信号をアサート解除することを含む、請求項1に記載のメモリ・コントローラ。

【請求項3】

第1のメモリ制御動作が第1の制御信号をアサートすることを含み、第2のメモリ制御動作が第2の制御信号をアサートすることを含む、請求項1に記載のメモリ・コントローラ。

【請求項4】

第1および第2のメモリ制御動作が別々のメモリ・アクセス・サイクルで実行される、請求項1に記載のメモリ・コントローラ。

【請求項5】

第1および第2のメモリ制御動作が連続メモリ・アクセス・サイクルで実行される、請求項4に記載のメモリ・コントローラ。

【請求項6】

第1および第2のメモリ制御動作が同じメモリ・アクセス・サイクルで実行される、請求項1に記載のメモリ・コントローラ。

【請求項7】

所定のタイミング・パラメータが、バンク・サイクル時間、アクティブ・コマンド期間時間、データ入力／プリチャージ時間、プリチャージ時間、CAS上バー待ち時間、RAS上バー／CAS上バー遅延時間からなるグループから選択されたタイミング特性に関連する、請求項1に記載のメモリ・コントローラ。

【請求項8】

チューニング回路が、遅延カウンタに結合され、第2のメモリ制御動作のパフォーマンスを遅延させてメモリ記憶装置に関する所定のタイミング・パラメータを満たすためのクロック・サイクルの数を表す遅延カウントを記憶するように構成された構成レジスタをさらに含む、請求項1に記載のメモリ・コントローラ。

【請求項9】

チューニング回路が、遅延カウンタ内の構成レジスタに記憶された遅延カウントを記憶し、その後、各クロック・サイクルごとに遅延カウンタを減分し、遅延カウンタがゼロという値に達したときに第2のメモリ制御動作のパフォーマンスを可能にするように構成される、請求項8に記載のメモリ・コントローラ。

【請求項10】

チューニング回路が、ゼロという値で遅延カウンタを初期設定し、その後、各クロック・サイクルごとに遅延カウンタを増分し、遅延カウンタが構成レジスタ内に記憶された遅延カウントと等しくなったときに第2のメモリ制御動作のパフォーマンスを可能にするように構成される、請求項8に記載のメモリ・コントローラ。

【請求項11】

チューニング回路が、外部入力に応答して構成レジスタに遅延カウントを記憶するように構成される、請求項8に記載のメモリ・コントローラ。

【請求項12】

構成レジスタ内に記憶された遅延カウントが、第1および第2のメモリ制御動作のパフォーマンス間のクロック・サイクルの総数と等しい、請求項8に記載のメモリ・コントローラ。

【請求項13】

メモリ記憶装置が論理回路によって実行される第3および第4のメモリ制御動

作間の第2の最小遅延を定義する第2の所定のタイミング・パラメータを有し、チューニング回路が、第2の選択した数のクロック・サイクルの間、第2の遅延カウンタを循環して第4のメモリ制御動作のパフォーマンスを遅延させることにより、第3および第4のメモリ制御動作間の遅延を制御してメモリ記憶装置に関する第2の所定のタイミング・パラメータを満たすようにさらに構成される、請求項1に記載のメモリ・コントローラ。

【請求項14】

請求項1に記載のメモリ・コントローラを含む集積回路装置。

【請求項15】

請求項1に記載のメモリ・コントローラを含むネットワーク・アダプタ。

【請求項16】

請求項1に記載のメモリ・コントローラを含むデータ処理システム。

【請求項17】

メモリ・コントローラを使用してメモリ記憶装置によるデータ転送を制御する方法であって、メモリ記憶装置が、複数のタイプのメモリ記憶装置に共通するパフォーマンス特性に関する変動タイミング・パラメータを有する複数のタイプのメモリ記憶装置の1つであり、

(a) メモリ記憶装置によって実行される第1および第2のメモリ制御動作間の最小遅延を定義するメモリ制御装置に関する所定のタイミング・パラメータに関連する構成パラメータを受け取ることと、

(b) 構成パラメータに基づいて、構成パラメータに関連する選択した数のクロック・サイクルの間、プログラマブル遅延カウンタを循環して第2のメモリ制御動作のパフォーマンスを遅延させることにより、第1および第2のメモリ制御動作を実行する間の遅延を可制御式に変動させることを含む方法。

【請求項18】

遅延カウンタに結合された構成レジスタ内の構成パラメータを表す遅延カウンタを記憶することをさらに含む、請求項20に記載の方法。

【請求項19】

遅延を可制御式に変動させることが、

(a) 遅延カウンタ内の構成レジスタに記憶された遅延カウントを記憶することと、

(b) その後、各クロック・サイクルごとに遅延カウンタを減分することと、

(c) 遅延カウンタがゼロという値に達したときに第2のメモリ制御動作のパフォーマンスを可能にすることを含む、請求項21に記載の方法。

【請求項20】

遅延を可制御式に変動させることが、

(a) ゼロという値で遅延カウンタを初期設定することと、

(b) その後、各クロック・サイクルごとに遅延カウンタを増分することと、

(c) 遅延カウンタが構成レジスタ内に記憶された遅延カウントと等しくなったときに第2のメモリ制御動作のパフォーマンスを可能にすることを含む、請求項21に記載の方法。

【請求項21】

構成レジスタ内に記憶された遅延カウントが、第1および第2のメモリ制御動作のパフォーマンス間のクロック・サイクルの総数と等しい、請求項21に記載の方法。

【発明の詳細な説明】

【0001】

【技術分野】

本発明は、一般に集積回路装置のアーキテクチャおよび設計に関し、特にメモリ記憶装置によるデータ転送を制御するためのメモリ・コントローラのアーキテクチャおよび設計に関する。

【0002】

【背景技術】

コンピュータおよびその他のデータ処理システムは、コンピュータ・タスクを実行する際にこのようなシステムが使用する情報を記憶するために様々なメモリに大幅に依拠している。メモリは、たとえば、コンピュータが実行するコンピュータ・プログラムの一部分ならびにコンピュータが処理するデータを記憶するために使用することができる。

【0003】

メモリは、1つのコンピュータの多くのコンポーネントでも見られる。たとえば、コンピュータの「頭脳」であるマイクロプロセッサは、コンピュータのメイン・メモリから本来入手可能なものより所与のデータまたはコンピュータ命令へのより高速なアクセスを可能にする専用キャッシュ・メモリを有する場合がある。また、コンピュータ・モニタまたはその他のディスプレイ上に表示するための情報を記憶するために、グラフィクス・コントローラが専用メモリを使用する場合もある。

【0004】

メモリは、たとえば、外部ネットワークを介してあるコンピュータとその他のコンピュータとのインタフェースを取るために、コンピュータ用の多くのタイプのインタフェースにも見られる。これらのインタフェースは通常、専用ハードウェア、たとえば、コンピュータに差し込まれ、特定のタイプのネットワークに接続するために必要なコネクタを有するネットワーク・アダプタ・カードを使用し実現される。コンピュータとネットワークとのデータの転送を処理するために通常、コントローラを使用し、コントローラが使用する制御データならびにイン

タフェースにより伝送されるデータの一時コピーを記憶するために通常、専用メモリを使用する。

【0005】

上記の応用例で使用するメモリは通常、1つまたは複数のソリッドステート・メモリ記憶装置または「チップ」を使用して実現される。事前定義プロトコルによりこのようなメモリ記憶装置と間のデータ転送を処理するために通常、専用メモリ・コントローラを使用する。

【0006】

メモリ記憶装置は通常、その装置による所与の動作を実行する前に待機しなければならない最小遅延を定義する1つまたは複数のタイミング特性を有する。したがって、特定のメモリ記憶装置の実現のために、このような特性に関連するタイミング・パラメータを定義する。このようなタイミング・パラメータは、装置の物理構造によって制限される場合が多く、装置の確実な動作を保証するように装置の設計者によって定義される。ほんの一例として、ある種のメモリ記憶装置であるダイナミック・ランダム・アクセス・メモリ（DRAM）装置では、少なくとも所定の時間の間、装置を「プレチャージ」しておかなければ、装置からデータを読み取ることができない。特定のメモリ記憶装置の実現のためにこの特性に関連するタイミング・パラメータを満たしていない場合、データの妥当性を危うくする恐れがあるエラーが装置内で発生する可能性がある。

【0007】

異なるタイプのメモリ記憶装置は異なるタイミング・パラメータを有する可能性がある。しかも、技術が進歩するにつれて、所与のタイプのメモリ記憶装置は過去の設計より改善され、その結果として、過去の設計による様々なタイミング・パラメータを有する可能性がある。

【0008】

所与のタイプのメモリ記憶装置によるデータ転送を制御するためには、その装置に関する様々なタイミング・パラメータを満たすようにメモリ・コントローラを明確に調整しなければならない場合が多い。所与のタイプのメモリ記憶装置により可能な最良のパフォーマンスを保証するため、その装置について定義された

タイミング・パラメータを満たすかまたはわずかにそれを超えるようにメモリ・コントローラが様々なメモリ制御動作間の遅延を設定することが望ましい場合が多い。

【0009】

しかし、一部のメモリ・コントローラは、様々なタイプのメモリ記憶装置で使用する必要があるものもある。たとえば、様々な応用例でそのメモリ・コントローラを使用できるように複数タイプのメモリ記憶装置をサポートすることが望ましい場合もある。しかし、複数タイプのメモリ記憶装置をサポートするには、所与のメモリ記憶装置の最悪ケースのタイミング・パラメータを処理するようにメモリ・コントローラを設計しなければならない場合が多い。というのは、タイミング・パラメータは通常、受入れ可能な最小遅延を定義しているからである。その結果、あるメモリ・コントローラについて定義された最悪ケースのタイミング・パラメータより高速のパフォーマンスをもたらすタイミング・パラメータを有するメモリ記憶装置とともにそのメモリ・コントローラを使用する場合、そのメモリ記憶装置はその最大パフォーマンス・レベル以下で操作され、その装置によって本来実現可能なパフォーマンスの改善が失われる。

【0010】

従来のメモリ・コントローラ設計の中には、コントローラとメモリ記憶装置とのパフォーマンスのミスマッチを補償するためにメモリ・アクセス動作に1つまたは複数の「待ち状態」を可制御的に挿入することにより所与のタイミング特性に関する様々なパラメータをサポートしようと試みるものもある。通常、このようなコントローラ設計は、2通りの可能な実行「経路」のうちの1つを可制御的に選択することにより2つのタイミング・パラメータのうちの1つをサポートする。

【0011】

具体的には、メモリ・コントローラは通常、メモリ記憶装置によるデータ転送の制御に関連する異なるメモリ制御動作を実行するために、異なる「ステージ」間を循環する状態機械を使用して動作する。この状態機械は、各ステージ間で待機する時間を定義するクロック信号によってタイミングをはかる。実行経路は、

その経路をたどるときに状態機械内で順次実行される一連のステージによって定義される。

【0012】

このような従来のメモリ・コントローラ設計の重要な制限は、第2の実行経路によって状態機械の複雑さが大幅に増加する可能性があり、それにより、コントローラの全体的なコストおよび複雑さが増加する傾向があることである。しかも、実行経路の数が増加するにつれて、状態機械の複雑さが劇的に増加する。そのうえ、複数のタイミング特性に関する可変タイミング・パラメータをサポートすることが望ましい場合、状態機械の複雑さはさらに速い速度で増加する。その結果、従来のメモリ・コントローラ設計は通常、非常に少数のタイミング特性のみに関する非常に少数のタイミング・パラメータのみをサポートすることに限定される。

【0013】

そのうえ、従来のメモリ・コントローラ設計では多様なメモリ記憶装置をサポートできないので、より短いタイミング・パラメータを有する可能性があり、その結果として、現行装置より改善されたパフォーマンスを有する可能性のある将来のメモリ記憶装置とともにこのような設計を使用すると予想することは費用対効果が大きくない場合が多い。したがって、多くの場合、新しいメモリ・コントローラ設計は、メモリ記憶装置技術の進歩に応答して開発しなければならない。

【0014】

したがって、より多様なメモリ記憶装置をサポート可能なより柔軟かつ拡張可能なメモリ・コントローラ設計を求める重大な必要性が引き続き存在する。

【0015】

【発明の開示】

本発明は、1つまたは複数のプログラマブル遅延カウンタによりメモリ制御動作のタイミングを制御するチューニング回路を使用するメモリ・コントローラ回路配置および方法を提供することにより、従来技術に関連する上記その他の問題に対処するものである。各カウンタは、メモリ制御動作のパフォーマンスを遅延させてそのコントローラに結合されたメモリ記憶装置に関する所定のタイミング

・パラメータを満たすように選択した数のクロック・サイクルを循環するようプログラミングされる。

【0016】

プログラマブル遅延カウンタは、たとえば、数ある実施例の中で、状態機械論理回路内の状態遷移によって論理回路によるメモリ制御動作のパフォーマンスを開始できるようにするために使用することができる。その結果、論理回路内の単一実行経路を使用して、特定のタイミング特性に関する任意の数のタイミング・パラメータ変形形態をサポートすることができる。そのうえ、複数のプログラマブル遅延カウンタの使用により、同じ実行経路内で複数のタイミング特性を調節することができる。その結果、多様なタイミング特性とそれに関するタイミング・パラメータを単一集積設計内でサポートすることができ、従来の設計より優れた柔軟性と拡張性が得られる。

【0017】

したがって、本発明の一態様に適合し、論理回路とチューニング回路とを含むメモリ・コントローラ回路が提供される。この論理回路は、第1および第2のメモリ制御動作を実行することにより、少なくとも1つのメモリ記憶装置によるデータ転送を制御するように構成される。このタイプのメモリ記憶装置は、第1および第2のメモリ制御動作間の最小遅延を定義する所定のタイミング・パラメータを有する。チューニング回路は、論理回路に結合され、選択した数のクロック・サイクルの間、プログラマブル遅延カウンタを循環して第2のメモリ制御動作のパフォーマンスを遅延させることにより、第1および第2のメモリ制御動作間の遅延を制御してメモリ記憶装置に関する所定のタイミング・パラメータを満たすように構成される。

【0018】

本発明を特徴付ける上記その他の利点および特徴は、本明細書に付加され、本明細書の追加部分を形成する請求の範囲に記載されている。しかし、本発明ならびにその使用により達成される利点および目標をさらに理解するために、添付図面ならびに付随する記述内容を参照しなければならず、その記述内容には本発明の例示的な実施形態が記載されている。

【0019】

【発明を実施するための最良の形態】

ここに記載する実施形態は、一般に、メモリ制御動作のパフォーマンスを遅延させてメモリ・コントローラに結合されたメモリ記憶装置に関するタイミング・パラメータを満たすようにメモリ・コントローラ内のプログラマブル遅延カウンタを循環させることにより動作する。このため、同期ダイナミック・ランダム・アクセス・メモリ (DRAM)、拡張同期DRAM、ラムバスDRAM、拡張データ・アウト (EDO) DRAM、ページモードDRAM、スタティック・ランダム・アクセス・メモリ (SRAM)、フラッシュ・メモリ、読取り専用メモリ (ROM)、電気消去可能プログラム可能読取り専用メモリ (EEPROM)、シリアルEPROM、直接アクセス記憶装置 (DASD)、メモリとして動作するサブシステムなどを含むがこれらに限定されない、可変タイミング・パラメータを有する多様なソリッドステート (半導体) メモリ記憶装置を柔軟かつ拡張可能な方法でサポートすることができる。

【0020】

ここに提示するようにメモリ・コントローラのパフォーマンスをチューニングすることが望ましい可能性がある、3通りの主な状況が発生する。第1に、所与のメモリ・アクセス・サイクル内で信号をアサートしてからアサート解除するまでの遅延、たとえば、所与のメモリ・アクセスに関する行および列アドレス・ストローブ (

【数1】

RAS

(以下「RAS上バー」という) および

【数2】

CAS

(以下「CAS上バー」という)) 信号のアサート間の時間枠を制御することが望ましい場合が多い。第2に、連続するメモリ・アクセス・サイクル間に信号をアサートしてからアサート解除するまでの遅延、たとえば、EDO DRAM用のRAS上バー・プリチャージ時間をアサートしてからリリースするまでの遅延を制御することが望ましい場合が多い。第3に、非連続だが相互関係のあるメモリ・アクセス・サイクル間に信号をアサートしてからアサート解除するまでの遅延、たとえば、マルチバンクDRAM内の所与のバンクへの連続アクセス間の遅延を制御することが望ましい場合が多い。その他の状況は、本明細書の資料を読めば当業者には明らかになるだろう。

【0021】

図1に示すように、たとえば、メモリ・コントローラ10は、第1および第2のメモリ制御動作が実行されるステージ14および16を含む複数のステージを有する状態機械を実現する論理回路12を含むことができる。ただし、論理回路12は、実際には、メモリ記憶装置の制御に関連して使用するどのようなタイプの状態機械も含むことができ、当技術分野で周知の他の論理回路を含むことができることを理解されたい。このため、ステージ14および16の前後には不定数のステージが示されている。この場合、ステージ14と16の間には任意の数のステージを挿入することができ、ステージを一切挿入しなくてもよいことを理解されたい。

【0022】

メモリ制御動作は、実際には、メモリ・コントローラが実行するどのような調時動作を表すことができ、主に、たとえば、メモリ記憶装置への複数のメモリ制御信号のうちのいずれかをアサートするかまたはアサート解除すること、メモリ記憶装置から受け取った複数の信号のうちのいずれかをラッチすること、メモリ

記憶装置への新しいデータ信号を駆動することなどを含むことができる。ステージ14および16で実行される第1および第2のメモリ制御動作は、たとえば、同じ制御信号をアサートしアサート解除すること、異なる制御信号をアサートするかまたはアサート解除すること、メモリ記憶装置から返される同じかまたは異なる信号をラッチすることなど、様々な方法で相互に関連付けることもできる。そのうえ、第1および第2のメモリ制御動作は、同じメモリ・アクセス・サイクル中、連続メモリ・アクセス・サイクル中、または別々の非連続メモリ・アクセス・サイクル内に実行することができる。

【0023】

本発明に関連する第1および第2のメモリ制御動作は、メモリ・コントローラ10に結合された特定のメモリ記憶装置に関するタイミング・パラメータに関連する所定の遅延によって時間的に分離しなければならない。タイミング・パラメータは、メモリ・コントローラとの使用に適した様々なメモリ記憶装置に共通のタイミング特性に関する特定の値を表す。タイミング・パラメータは、最小時間として、たとえば、ナノ秒単位で指定することができる。代替例では、タイミング・パラメータは、最小数のクロック・サイクルとして指定することができる。さらに、メモリ・コントローラが通常は同期的に操作される場合、第1および第2のメモリ制御動作間に挿入される遅延は、通常、タイミング・パラメータの単位に関係なく、メモリ・コントローラ・クロックに関して選択した数のサイクルによって表される。

【0024】

様々なタイプのメモリ記憶装置に対して多様なタイミング特性が関連する可能性がある。たとえば、同期DRAMに適したタイミング特性としては、特に、バンク・サイクル時間 (t_{RC})、アクティブ・コマンド期間 (t_{RAS})、データ入力/プリチャージ時間 (t_{DPL})、プリチャージ時間 (t_{RP})、RAS上バー/CAS上バー遅延 (t_{RCD})、CAS上バー待ち時間 (t_{AA}) などを含む。様々なタイプのメモリ記憶装置に関して、その他のタイミング特性も存在する可能性がある。それぞれの場合、所与のメモリ記憶装置に伴連する特定のタイミング特性は通常、当業界で周知であり、通常、このような特定のタイミング特性のうち

の1つまたは複数に関して本明細書に開示する方法でメモリ・コントローラのパフォーマンスをチューニングすることは望ましいことである。

【0025】

メモリ・コントローラ10では、第1および第2のメモリ制御動作のパフォーマンス間の遅延は、選択した数のサイクルの間、第2のメモリ制御動作の動作を遅延させる要求を表す遅延信号をステージ14でアサートすることによって制御する。第2のメモリ制御動作のパフォーマンスは、イネーブル信号20が表すようにステージ16への状態遷移を可能にすることによって開始する。

【0026】

プログラマブル遅延カウンタ24および構成レジスタ26を含むチューニング回路22は、遅延信号18を受け取り、イネーブル信号20を出力するものとして示されている。通常、遅延カウンタ24は、第1および第2のメモリ制御動作を実行する間待機するための所望の数のクロック・サイクルに基づいて選択した数のクロック・サイクルを循環するようにプログラミングされる。選択した数のクロック・サイクルは、第1および第2のメモリ制御動作間のサイクルの総数と等しくすることができるか、または、たとえば第1および第2のメモリ制御動作のパフォーマンス間に他の遅延がすでに存在する場合には異なる数にすることもできる。この後者の事例では、たとえば、遅延信号またはイネーブル信号あるいはその両方をアサートすると、メモリ制御動作のパフォーマンスから1つまたは複数のサイクル分、オフセットされる可能性がある。

【0027】

本明細書の資料を読むことに基づいて、イネーブル信号以外のメカニズムを使用して、第1のメモリ制御動作のあとで第2のメモリ制御動作のパフォーマンスを開始できることを理解されたい。例としては、保留信号の除去、比較しきい値に達した信号電圧などを含むが、これらに限定されない。

【0028】

本発明に適合するプログラマブル遅延カウンタは一般に、プログラミングされた数のサイクルを循環し、その後、第2のメモリ制御動作のパフォーマンスを開始するためにイネーブル信号をアサートさせるように構成されている。遅延カウ

ンタは、構成レジスタ26から提供される遅延カウントに基づいてプログラミングされる。この遅延カウントは、遅延させるサイクルの総数と等しくすることができるか、または、たとえば他の遅延がカウンタ内に存在する場合はサイクルの総数の一部分にすることもできる。

【0029】

通常、本発明に適合するプログラマブル遅延カウンタは、数ある変形形態の中で、減分型カウンタまたは増分型カウンタとして構成することができる。図2は、たとえば、チューニング回路22のプログラマブル遅延カウンタ24の減分型実施例を示しており、このカウンタはそのデータ(D)入力で構成レジスタ26からの遅延カウントを受け取る。遅延カウントは、遅延信号18による書込み許可(WE)入力のアサートによってカウンタ24に書き込まれる。その後、カウンタの減分(DEC)入力に結合されたメモリ・コントローラ用のクロック信号は、各クロック・サイクルごとに1回、カウンタ内に記憶された値を減分する。遅延カウントに対応する数のサイクルの間のカウンタの循環はゼロ匹敵(=0)出力により検出され、その出力からイネーブル信号20が導出される。

【0030】

増分型カウンタの実施例は、図3のチューニング回路によって示すが、カウンタ30はそのデータ(D)入力でゼロの初期値を受け取る。このカウンタは、遅延信号18による書込み許可(WE)入力のアサートに応答してゼロ・カウントに初期設定される。その後、カウンタの増分(INC)入力に結合されたメモリ・コントローラ用のクロック信号は、各クロック・サイクルごとに1回、カウンタ内に記憶された値を増分する。遅延カウントに対応する数のサイクルの間のカウンタの循環は、その入力でカウンタ30の出力(OUT)と構成レジスタ32からの遅延カウントを受け取る比較ブロック30により検出される。その結果として、カウンタの出力がレジスタ内に記憶された遅延カウントと一致するときにイネーブル信号20がアサートされる。

【0031】

プログラマブル・カウンタをプログラミングするための構成レジスタのロードは、いくつかの方法で実行することができる。たとえば、コントローラ用の1つ

または複数の外部ピンを使用して遅延カウントを指定することができる。代替例では、外部コンポーネント、たとえば、ネットワークまたはバスによる特定の命令により、遅延カウントを供給することもできる。そのうえ、遅延カウントは、様々な物理実施例に物理的に組み込むことができ、それにより、様々なメモリ記憶要件とともに使用するために調整された数通りのメモリ・コントローラ・モデルを製造する際にわずかな変更でメモリ・コントローラの共通設計を再利用することができる。さらに、同じピン／コマンドが集合的に複数のパラメータを制御できるように、遅延カウントをセット単位にグループ化することができる。

【0032】

代替例では、プログラマブル・カウンタをプログラミングするその他の方法を使用することもできる。たとえば、動的制御回路は、1つまたは複数の控えめなパラメータから始め、そのパラメータを累進的に加速する間にメモリ記憶装置のエラー率を監視し、エラーが検出されたときにそのパラメータのうちの1つまたは複数減速するように構成することができる。

【0033】

図1に戻ると、論理回路12およびチューニング回路22はそれぞれ、1つの回路配置、すなわち、全体が1つの集積回路装置として実現されているか、1つまたは複数の回路基板を介して互いに電氣的に結合された複数の集積回路装置として実現されているかにかかわらず、導電トレース、信号経路、またはワイヤ、あるいはそれらの組合せを介して互いに電氣的または工学的に結合されたアナログまたはデジタルあるいはその両方の電子回路または光学コンポーネントの配置を表している。そのうえ、集積回路装置は通常、以下ハードウェア定義プログラムと呼ばれ、装置上の回路配置のレイアウトを定義する1つまたは複数のコンピュータ・データ・ファイルを使用して設計され製作されることを認識されたい。このプログラムは通常、設計ツールによって既知の方法で生成され、その後、半導体ウェハに適用する回路配置を定義するレイアウト・マスクを作成するために製造中に使用する。通常、このプログラムは、VHDL、verilog、EDIFなどのハードウェア定義言語（HDL）を使用して事前定義フォーマットで提供される。したがって、本発明は、完全に機能する集積回路装置で実現された回路

配置を有し、以下、そのような回路配置に関連して説明するが、当業者であれば、本発明に適合する回路配置が様々な形式のプログラム・プロダクトとして配布可能であり、その配布を実際に実行するために使用する特定のタイプの信号運搬媒体にかかわらず、本発明が等しく適用されることを理解するだろう。信号運搬媒体の例としては、特に、揮発性および不揮発性メモリ装置、フロッピー（登録商標）・ディスク、ハード・ディスク・ドライブ、CD-ROM、DVDなどの記録可能なタイプの媒体と、ディジタルおよびアナログ通信リンクなどの伝送タイプの媒体を含むが、これらに限定されない。

【0034】

次に図4に移行すると、本発明に適合するデータ処理システム40が示されている。データ処理システム40は、いくつかのコンピュータおよび類似システムのいずれかを表している。たとえば、データ処理システム40は、主記憶装置メモリ44に結合されたシステム・プロセッサ42を含み、次にそのメモリは入出力（I/O）サブシステム46を介して様々な外部装置に結合される。サブシステム46は、システム・バス48を介して複数の外部装置に結合される。図4には、記憶コントローラ50（1つまたは複数の記憶装置52とのインタフェースをとるために使用する）、ワークステーション・コントローラ54（1つまたは複数のワークステーション56とのインタフェースをとるために使用する）、I/O拡張ユニット58（I/Oバス60を介して追加装置とのインタフェースをとるために使用する）、ネットワーク・アダプタ62（64に表す外部ネットワークとのインタフェースをとるために使用する）を含む、様々なタイプの外部装置が表されている。

【0035】

本発明に適合するデータ処理システム40には、多様な代替装置を結合できることを理解されたい。

【0036】

データ処理システム40は、たとえば、中型のコンピュータ・システム、たとえば、IBMより入手可能なAS/400中型コンピュータとして実現することができる。ただし、本発明は、組込みコントローラなどのメモリ・コントローラ

を使用する他のデータ処理システム、ブリッジ、ルータ、交換機などの通信システム、民生用電子装置などと言うまでもなく、他のコンピュータ・システム、たとえば、パーソナル・コンピュータ、メインフレーム・コンピュータ、スーパーコンピュータなどにも適用可能であることを理解されたい。

【0037】

例示した実施形態では、本発明に適合するメモリ・コントローラは、ネットワーク・アダプタ62として実現されており、このアダプタは、たとえば、非同期転送モード(ATM)ネットワークへの接続に適したATMアダプタにすることができる。しかし、本発明の原理は他のタイプのネットワーク、たとえば、TCP/IPネットワーク、LANおよびWANネットワーク、フレーム・リレー・ネットワークなどのためのネットワーク・アダプタにも適用可能であることを理解されたい。そのうえ、本発明に適合するメモリ・コントローラはデータ処理システム40内の他のコンポーネント、たとえば、コンポーネント50、54、58のいずれか、あるいはデータ処理システムのメイン処理構造内でも使用可能であることを理解されたい。したがって、本発明は、ここに開示する特定の実施例に限定してはならない。

【0038】

ネットワーク・アダプタ62は、図5により詳細に示されている。ネットワーク・アダプタ62は、システム・バス・インタフェース・ブロック68を介してシステム・バス48とのインタフェースがとられるコントローラ66の制御下にある。次にコントローラ66は、ネットワーク・インタフェース論理回路70および72に表す物理ネットワーク・コネクタを介してネットワーク64とのインタフェースがとられる。

【0039】

コントローラ66は1つまたは複数のメモリ、たとえば、メモリ74および74aに依拠し、それぞれは複数のメモリ記憶装置76を含む。コントローラ66と各メモリ74、74aとのデータ転送は1つまたは複数のメモリ・コントローラ、たとえば、メモリ74用のメモリ・コントローラ78と、メモリ74a用のメモリ・コントローラ78aを介して制御される。一連のI/O信号(たとえば

、それぞれコントローラ78および78a用の信号80および80a)を使用して、各メモリによるデータ転送を制御する。コントローラ66内には、メモリ74、74aとの間のデータ転送を要求する可能性のあるコントローラ内の様々なコンポーネントを表す複数のリクエスト81、81a、81bが表されている。たとえば、あるリクエストは、コントローラ66内の受信または送信回路内の様々なコンポーネントを表すことができる。そのうえ、あるリクエストは、コントローラ66が受け取る外部アクセス・コマンドを表すこともできる。

【0040】

ただし、ネットワーク・アダプタ62には任意の数のリクエストおよびメモリ・コントローラ/メモリの対を配置できることも理解されたい。たとえば、ネットワーク・アダプタ62内で別々のパケット・メモリと制御メモリを使用することができ、その結果、2つのメモリと2つの関連メモリ・コントローラが必要になる。さらに、望むなら、1つのメモリ・コントローラが複数のメモリとインタフェースをとることができることを理解されたい。

【0041】

各メモリ内の各メモリ記憶装置76は、関連のメモリ・コントローラ78、78aによって提供される専用I/O信号に応答するが、これは特定のメモリ記憶装置の設計によって指図されるものである。そのうえ、前述のように、メモリ記憶装置は、このような装置の所与のタイミング特性を満足するために必要な特定の最小遅延をもたらす1つまたは複数のタイミング・パラメータを有することができる。例示した実施形態では、メモリ記憶装置76は同期DRAM装置、たとえば、IBMから入手可能なIBM 0364164という64MBの同期DRAMである。このような装置によるデータ転送を制御するために必要なカウント・パラメータおよびインタフェース論理は一般に当技術分野では既知のものである。

【0042】

メモリ・コントローラ78は、図6により詳細に示されているが、マルチプレクサ84を介してメモリI/O信号80に結合された一連のメモリ固有状態機械/サポート論理ブロック82、82aを含む。メモリ・リクエスト・インタフェ

ース 86 は、当技術分野で既知の方法で 1 つまたは複数のメモリ・リクエスト（図 6 には図示しない）から様々な制御信号を受け取るように構成されている。複数のリクエストが設けられている場合、その複数のリクエスト間の調停を行うために追加のインタフェース論理回路（図示せず）が必要になる場合があることを理解されたい。ブロック 86 はアドレス生成／データ・チェック・ブロック 88 とのインタフェースがとられ、次にそのブロックはブロック 82、82a に結合される。

【0043】

ブロック 86 および 88 は、認識されたインタフェースにより、通常は様々なタイプのメモリ記憶装置にとって一般的なデータ・チェック動作およびアドレス生成動作を実行する。しかし、様々なタイプのメモリ記憶装置とのインタフェースをとるために必要なタイミング特性およびプロトコルはそれぞれ異なる可能性があるので、所与のメモリ・コントローラ設計では、複数のメモリ固有状態機械／サポート論理ブロック、たとえば、図 6 に表すようなものを実現することが望ましい可能性がある。たとえば、同期 DRAM 装置を制御するようにブロック 82 を構成し、SRAM 装置を制御するようにブロック 82a を構成することが望ましい場合がある。代替例ではその他の装置タイプの組合せをサポートすることができる。

【0044】

メモリ・コントローラ 78 は、メモリ・タイプ・レジスタ 92 とメモリ・パラメータ・レジスタ 94 を含む、コントローラ・レジスタ 90 のバンクも含む。追加のレジスタ、たとえば、状況およびエラー・レジスタ、割込みレジスタ、その他の制御レジスタなども必要に応じてサポートすることができる。

【0045】

メモリ・タイプ・レジスタ 92 は、メモリ・コントローラ内の使用可能な状態機械（たとえば、ブロック 82、82a が表すもの）のうちの 1 つを活動化してメモリ・コントローラが様々なタイプのメモリ記憶装置とともに動作できるようにするために使用する。特に、メモリ・タイプ・レジスタ 92 内に記憶された値に基づいて、ブロック 82、82a のうちの 1 つにイネーブル信号が供給され、

状態機械の動作を可能にする。さらに、イネーブル信号は、メモリI/O信号80をブロック82、82aのうちの1つに結合するためのセクタ信号としてマルチプレクサ84に送られる。ただし、代替例では、3種類以上のメモリ装置タイプをサポートできるか、またはこのような装置タイプ1種類だけをサポートすることができ、それにより、レジスタ92、マルチプレクサ84、追加ブロック82aは不要になると思われることを理解されたい。

【0046】

異なるパラメータを有する様々なメモリ記憶装置とともに動作するようにメモリ・コントローラ78のパフォーマンスを適切にチューニングするために、メモリ・パラメータ・レジスタ94は、コントローラが満たすことが望ましい様々なタイミング・パラメータに対応する1つまたは複数の遅延カウントによって初期設定される。このような遅延カウントは各ブロック82、82aに提供され、レジスタ内の遅延カウントによって表されるタイミング・パラメータに応じて動作するように状態機械を構成する。

【0047】

図7に最もよく示されているように、たとえば、ブロック82は、同期DRAMメモリ記憶装置と図6のアドレス生成/データ・チェック・ブロック88との間でI/O信号をやりとりする同期DRAM固有状態機械96を含む。

【0048】

チューニング回路97は、所与のメモリ制御動作間の遅延を調整して同期DRAM装置に関連する数通りのタイミング特性を満たすことにより、様々な同期DRAMメモリ記憶装置とともに良好に動作するように状態機械96のパフォーマンスをチューニングする。

【0049】

第1のこのようなタイミング特性はプリチャージ時間(t_{RP})であり、装置上で新しいコマンドを開始する前に特定の同期DRAM装置上のバンクにプリチャージするために必要な最小時間を表す。この事例では、第1のメモリ制御動作はプリチャージ動作の開始であり、第2のメモリ制御動作は新しいコマンドの発行である。このような動作間の遅延はプリチャージ・カウンタ98aによって制御

され、このカウンタはメモリ・パラメータ・レジスタ 94 からのプリチャージ時間線 100 a を介して供給される遅延カウントによりプログラミングされる。カウンタ 98 a は、プリチャージ開始線 102 a により状態機械 96 によって発行される遅延信号に応答して始動する。次に、このカウンタは、線 100 a により提供された遅延カウントが指定する数のサイクルを循環した後、プリチャージ完了線 104 a により状態機械 96 にイネーブル信号を返す。

【0050】

第2のタイミング特性はアクティブ・コマンド期間 (t_{RAS}) であり、装置上の次のコマンドを見越して、プリチャージを開始する前に特定の同期 DRAM 装置上でコマンドを処理するために必要な最小時間を表す。この事例では、第1のメモリ制御動作は特定のメモリ・バンク上でのコマンド・サイクルの開始であり、第2のメモリ制御動作はバンク上でのプリチャージ動作の開始である。このような動作間の遅延はアクティブ・コマンド・カウンタ 98 b によって制御され、このカウンタはメモリ・パラメータ・レジスタ 94 からのアクティブ・コマンド期間線 100 b を介して供給される遅延カウントによりプログラミングされる。カウンタ 98 b は、新しいコマンド・サイクル開始線 102 b により状態機械 96 によって発行される遅延信号に応答して始動する。このカウンタは、線 100 b により提供された遅延カウントが指定する数のサイクルを循環した後、コマンド・サイクル終了可能線 104 b により状態機械 96 にイネーブル信号を返す。

【0051】

第3のタイミング特性はデータ入力／プリチャージ時間 (t_{DPL}) であり、装置上の次のコマンドを見越して、プリチャージ動作が開始可能になる前にデータが装置に書き込まれた後で発生しなければならない最小遅延を表す。この事例では、第1のメモリ制御動作は装置上の特定のバンクに書き込み中のデータの完了であり、第2のメモリ制御動作はバンク上でのプリチャージ動作の開始である。このような動作間の遅延はデータ入力／プリチャージ・カウンタ 98 c によって制御され、このカウンタはメモリ・パラメータ・レジスタ 94 からのデータ入力／プリチャージ線 100 c を介して供給される遅延カウントによりプログラミングされる。カウンタ 98 c は、データ書き込み中線 102 c により状態機械 96 によ

って発行される遅延信号に応答して始動する。このカウンタは、線100cにより提供された遅延カウンタが指定する数のサイクルを循環した後、プリチャージ・コマンド送出可能線104cにより状態機械96にイネーブル信号を返す。

【0052】

第4のタイミング特性はバンク・サイクル時間 (t_{RC}) であり、装置の特定のバンク上で連続コマンドを活動化する間に発生しなければならない最小遅延を表す。この事例では、第1のメモリ制御動作は装置上の特定のバンク上の第1のコマンドの活動化であり、第2のメモリ制御動作は装置上の同じバンク上の第2のコマンドの活動化である。このような動作間の遅延はバンク・アクセス・カウンタ98dによって制御され、このカウンタはメモリ・パラメータ・レジスタ94からのバンク・サイクル時間線100dを介して供給される遅延カウンタによりプログラミングされる。カウンタ98dは、バンクXアクセス開始線102dにより状態機械96によって発行される遅延信号に応答して始動する。このカウンタは、線100dにより提供された遅延カウンタが指定する数のサイクルを循環した後、バンクXアクセス開始線104dにより状態機械96にイネーブル信号を返す。

【0053】

他のタイミング特性も本明細書で述べた方法で追加カウンタにより制御でき、これは通常、メモリ・コントローラとのインタフェースをとることが望ましい様々なメモリ記憶装置の特定の設計によって指図されることを理解されたい。たとえば、図7は、メモリ記憶装置の単一バンクのパフォーマンスのチューニングに適したカウンタを示している。しかし、すべてではないとしても多くの同期DRAM装置はマルチバンク装置として実現され、このような装置の全体的なパフォーマンスを改善するために様々なバンクへのアクセスをインタリーブすることができる。このため、このようなその他のバンク用のメモリ・コントローラのパフォーマンスのチューニングに適した追加カウンタを使用することができるが、図示していない。具体的には、通常は各バンクが別々の t_{RC} カウンタを必要とすると思われることを理解されたい。このような追加バンクのパフォーマンスをチューニングするために本発明の原理を適用することは、本明細書で提示する開示内

容の恩恵を受ける当業者の能力の範囲内である。

【0054】

それぞれの事例では、特定のタイミング特性に関する遅延カウントは、それに応じてメモリ・コントローラがチューニングされる特定のメモリ記憶装置に関するタイミング・パラメータと等しいかまたはそれを超えるメモリ・コントローラに関する最小数のクロック・サイクルとして選択されることになる。したがって、たとえば、ある特定のメモリ記憶装置が68 nsのタイミング・パラメータを有するのに対し、他の特定のメモリ記憶装置が37.5 nsのタイミング・パラメータを有し、メモリ・コントローラが7.5 nsのクロック・サイクルで動作する場合、前者の装置に関する最適遅延カウントは10になり、後者の装置に関する最適遅延カウントは5になるだろう。

【0055】

カウンタ98a~98dのそれぞれは、前述のように、減分型カウンタまたは増分型カウンタを使用して実現することができる。図8は、たとえば、減分型カウンタ110の適当な一実施例を示している。カウンタ110は、1...n個の1ビット・ラッチ112を含み、nはその特定のカウンタの最大遅延カウントを記憶するために必要なビット数である。たとえば、4ビット・カウンタは、最高16サイクルの遅延を提供するのに十分であると思われ、これはほとんどのメモリ記憶装置に関するタイミング・パラメータの重要な大部分を処理するのに適している。

【0056】

各ラッチ112のアクティブハイ(Q)出力は減分器ブロック114に提供され、このブロックはそれに応答して、ラッチ112内に記憶されたカウントより1小さいカウントを表すnビット幅の信号を出力する。この減分済み信号はマルチプレクサ118の第1のデータ入力(D1)に供給される。マルチプレクサ118はnビットの出力を有し、その各ビットは1つのラッチ112のデータ(D)入力に供給される。

【0057】

マルチプレクサ118への第2の入力(D2)は、メモリ・パラメータ・レジ

スタの適切なビットからnビットのパラメータ値または遅延カウントを受け取るように結合される。さらに、各ラッチ112のアクティブハイ(Q)出力はマルチプレクサ118用の第3のデータ入力(D3)にも提供される。

【0058】

ラッチ112のアクティブロー(

【数3】

\overline{Q}

(以下「Q上バー」という)出力はnビットのANDゲート116を介してまとめて論理的にANDが取られ、このゲートは、すべてのラッチ112のアクティブハイ(Q)出力がゼロ(そのカウンタのゼロ・カウントを示す)になったときにイネーブル信号(ここでは「パラメータ満足」と呼ぶ)を出力する。

【0059】

マルチプレクサ118は2つのゲート信号G1およびG2によってゲートされる。第1のゲート信号G1は状態機械から遅延信号(ここでは「パラメータ開始」と呼ぶ)を受け取る。第2のゲート信号G2はANDゲート116によって出力されたイネーブル信号を受け取る。3つのデータ入力D1~D3のうちのどれがマルチプレクサ118の出力に結合されるかは、以下に表Iで定義する信号G1およびG2の状態によって決まる。

【表1】

表I：マルチプレクサ出力表

G 1	G 2	出力
1	X	D 2
0	0	D 1
0	1	D 3

【0060】

前述の構成に基づいて、ゲート信号G1のアサートに応答して、入力D2で供給される遅延カウンタがマルチプレクサ118から様々なラッチ112に出力され、その結果、そのアクティブハイ（Q）出力が減分器114に供給されることが分かるだろう。遅延信号がアサート解除されている場合、次のクロック・サイクル中に、減分器114の出力はマルチプレクサ118の出力に渡され、ラッチ112がゼロというカウンタを記憶するような時点まで、その後の各クロック・サイクルごとにラッチ112内に記憶されたカウンタを減分する。この時点でイネーブル信号はANDゲート116によってアサートされ、それにより、第2のゲート信号G2がアサートされ、その信号は遅延信号のアサートによりカウンタが再始動されるような時点までゼロという値を有するカウンタを停止する効果を有する。

【0061】

増分型カウンタの適当な一実施例は図9の120に示す。この実施例では、1... n個のラッチ122のアクティブハイ（Q）出力は増分器124、比較器126、マルチプレクサ128の第3のデータ入力D3に供給される。増分器124の出力はラッチ122内に記憶された現行カウンタに1を加えたものであり、これはマルチプレクサ128の第1のデータ入力D1に供給される。マルチプレクサ128の第2のデータ入力D2は接地され、そのカウンタにゼロという初期値を提供する。

【0062】

マルチプレクサ128の出力はラッチ122のデータ（D）入力に結合される。マルチプレクサ128の第1のゲート入力G1は、状態機械によって出力される遅延信号（ここでは「パラメータ開始」と呼ぶ）に結合される。第2のゲート入力G2は比較器ブロック126の出力を受け取るように結合される。表Iに関連して前述したのと同じマルチプレクサ出力論理はこの実施例にも使用される。

【0063】

動作に当たっては、状態機械からの遅延信号をアサートすると、データ入力D2に印加された初期ゼロ・カウンタはラッチ122に出力され、カウンタをゼロ

に初期設定する。次に、遅延信号をアサート解除すると、増分器124から出力される増分済みカウンタ値はマルチプレクサ128からラッチ122に渡される。その後、このようなクロック・サイクルごとに、ラッチ122内に記憶された現行カウンタは、比較器ブロック126内のメモリ・パラメータ・レジスタによって出力されたパラメータ値と比較される。したがって、現行カウンタが所望の遅延カウンタと等しくなるまで、カウンタは各クロック・サイクルごとに増分される。このような時点で、イネーブル信号は比較器ブロック126によってアサートされ、カウンタはマルチプレクサ128の第2のゲート入力G2のアサートによって停止される。

【0064】

代替カウンタ実施例を使用すると、遅延信号のアサート後に所望の数のクロック・サイクルの間、イネーブル信号のアサートを遅延させることができることを理解されたい。したがって、本発明は、本明細書で述べる特定の実施例に限定してはならない。

【0065】

図10および図11は、それぞれ仮定の第1および第2の同期DRAMメモリ記憶装置へのREADアクセスおよびWRITEアクセスに関する適当なタイミング図を示している。READアクセスの場合、第1の同期DRAMは、4というバースト長タイミング・パラメータ、3サイクルの列アドレス・ストロブ（CAS上バー）待ち時間、3サイクルのRAS上バー／CAS上バー遅延時間（ t_{RCD} ）を有するものとして図10に示されている。第1のメモリ記憶装置によるREADアクセスの処理に関連する様々な制御信号は図10に示され、クロック信号（CLK）、クロック・イネーブル信号（CKE）、アクティブロー・チップ選択信号（

【数4】

$\overline{\text{CS}}$

(以下「CS上バー」という))、アクティブロー行アドレス・ストロブ信号 (RAS上バー)、アクティブロー列アドレス・ストロブ信号 (CAS上バー)、アクティブロー書き込み許可信号 (

【数5】

$\overline{\text{WE}}$

(以下「WE上バー」という))、12ビット・アドレス信号A0~A11 (アドレス線A10は別に示す)、データ出力線 (DQ) を含む。クロック信号の表現サイクルはT0~T13として示す。

【0066】

図10に示すように、読取りアクセスは、サイクルT0におけるクロック・インエーブル信号のアサート後にサイクルT1から始まる。この時点でCS上バー線とRAS上バー線はアサートされ、CAS上バー線とWE上バー線はアサート解除される。そのうえ、行アドレス (RAx) はアドレス線上で供給される。したがって、CAS上バー待ち時間が3サイクルの場合、クロック・サイクルT4で列アドレスが装置に供給され、CS上バー信号とCAS上バー信号はアサートされ、RAS上バー信号とWE上バー信号はアサート解除され、列アドレスはアドレス線A0~A9およびA11上で供給される。この特定の実施例では、アドレス線A10はアサートされて、自動プリチャージ・コマンドを示す。CAS上バー待ち時間が3サイクルの場合、要求されたデータはサイクルT7から始まってデータ線DQにより供給される。したがって、さらにバースト長が4の場合、4

つの連続アドレスに記憶されたデータ ($Ax0$ 、 $Ax1$ 、 $Ax2$ 、 $Ax3$ と呼ぶ) は後続の4サイクルで供給される。

【0067】

図10に表す特定のメモリ記憶装置の場合、プリチャージ時間 (t_{RP}) は約20.4nsである。このパラメータを満たすための最適コントローラ遅延は、クロック・サイクルT8の自動プリチャージとクロック・サイクルT11から始まる次の活動化コマンドの間の時間枠として図10に表されている。

【0068】

図10が表すメモリ記憶装置に関するアクティブ・コマンド期間 (t_{RAS}) は約47.6nsである。このパラメータを満たすための最適コントローラ遅延は、クロック・サイクルT1から始まる活動化コマンドとクロック・サイクルT8で発生するプリチャージの開始の間の時間枠として図10に表されている。さらに、メモリ記憶装置に関するバンク・サイクル時間 (t_{RC}) は約68nsであり、そのための最適コントローラ遅延はそれぞれクロック・サイクルT1およびT11における2つの連続活動化コマンド間の時間枠として表されている。また、この装置の場合、データ入力/プリチャージ時間パラメータ (t_{DPL}) は約8nsであるが、それは書込みアクセスのみに関連するので図10には示されていない。

【0069】

この例の場合、本発明に適合するメモリ・コントローラは図7に関連して前述した4つのパラメータ、すなわち、 t_{RP} 、 t_{RAS} 、 t_{RC} 、 t_{DPL} 、ならびに2つの追加パラメータ、すなわち、CAS上バー待ち時間および t_{RCD} を変動させるように構成されていると想定する。したがって、メモリ・コントローラのクロック・サイクル時間が約7.5nsであると想定すると、メモリ・コントローラは以下の表IIに指定された遅延カウントによって最適に構成されるだろう。

【表2】

表 I I : 図 1 0 の遅延カウント

特性	パラメータ	遅延カウント
t_{RP}	20.4 ns	3
t_{RAS}	47.6 ns	7
t_{RC}	68 ns	10
t_{PL}	8 ns	2
CAS 待ち時間	3 サイクル	3
t_{RCD}	3 サイクル	3

【0070】

例示を簡略化するため、メモリ記憶装置の単一バンクに関連して発生する信号動作のみを図10に示す。この場合、その装置の他のバンクは2つの活動化コマンド間の時間枠中にアクセス可能であることを理解されたい。たとえば、他のバンクにアクセスするには、クロック・サイクルT6およびT9で代替バンク用の行アドレスおよび列アドレスを供給して、第1のバンクにデータが出力されている間にアクセス要求をキックオフすることができるだろう。

【0071】

図11は、同じメモリ・コントローラでの使用に適した他のメモリ記憶装置に関する制御信号のタイミングを示すが、この場合は書込みアクセス中のタイミングを示す。このメモリ記憶装置では、CAS上バー待ち時間および t_{RCD} はそれぞれ2サイクルである。そのうえ、この装置のプリチャージ時間は約15 nsであり、アクティブ・コマンド期間 t_{RAS} は約40 nsである。さらに、バンク・サイクル時間は約55 nsに短縮される。そのうえ、この図には、データ入力／プリチャージ t_{DPL} の表現が示されており、この装置の場合、それは約6 nsである。したがって、クロック・サイクルT1で開始された書込み動作中に書込み中の最終データと次のアクティブ・コマンドのプリチャージの開始との間の遅延は、クロック・サイクルT6の開始からクロック・サイクルT7で実行されるプリチャージの開始までの間に発生するものとして表される。

【0072】

したがって、図10に関連して前述したものと同一例示的なメモリ・コントローラを最適化するために、以下の表IIIに指定された最適遅延カウントが使用されるだろう。

【表3】

表III：図11の遅延カウント

特性	パラメータ	遅延カウント
t_{RP}	15 ns	2
t_{RAS}	40 ns	6
t_{RC}	55 ns	8
t_{DPL}	6 ns	1
CAS待ち時間	2 サイクル	2
t_{RCD}	2 サイクル	2

【0073】

このコントローラに結合された特定のメモリ記憶装置に適したフォーマットで読取り／書込みデータ転送を開始するための前述のメモリI/O信号のタイミングを処理するために適当な状態機械の構成は当業者の能力の範囲内になると思われることを理解されたい。

【0074】

本発明の精神および範囲から逸脱せずに、例示した実施形態に様々な変更を加えることができる。したがって、本発明は本明細書に付加する請求の範囲内にある。

【図面の簡単な説明】

【図1】

本発明に適合するチューニング回路を使用するメモリ・コントローラ回路配置のブロック図である。

【図2】

図1のメモリ・コントローラ回路配置内のプログラマブル遅延カウンタのブロック図である。

【図 3】

図 2 に示すものに代わる代替プログラマブル遅延カウンタのブロック図である。

【図 4】

本発明に適合するデータ処理システムのブロック図である。

【図 5】

図 4 のデータ処理システム内のネットワーク・アダプタのブロック図である。

【図 6】

図 5 のネットワーク・アダプタ内のメモリ・コントローラのブロック図である。

【図 7】

図 6 のメモリ・コントローラ内のメモリ固有状態機械／サポート論理ブロックのブロック図である。

【図 8】

図 7 のメモリ固有状態機械／サポート論理ブロックでの使用に適した減分型のプログラマブル遅延カウンタのブロック図である。

【図 9】

図 7 のメモリ固有状態機械／サポート論理ブロックでの使用に適した増分型のプログラマブル遅延カウンタのブロック図である。

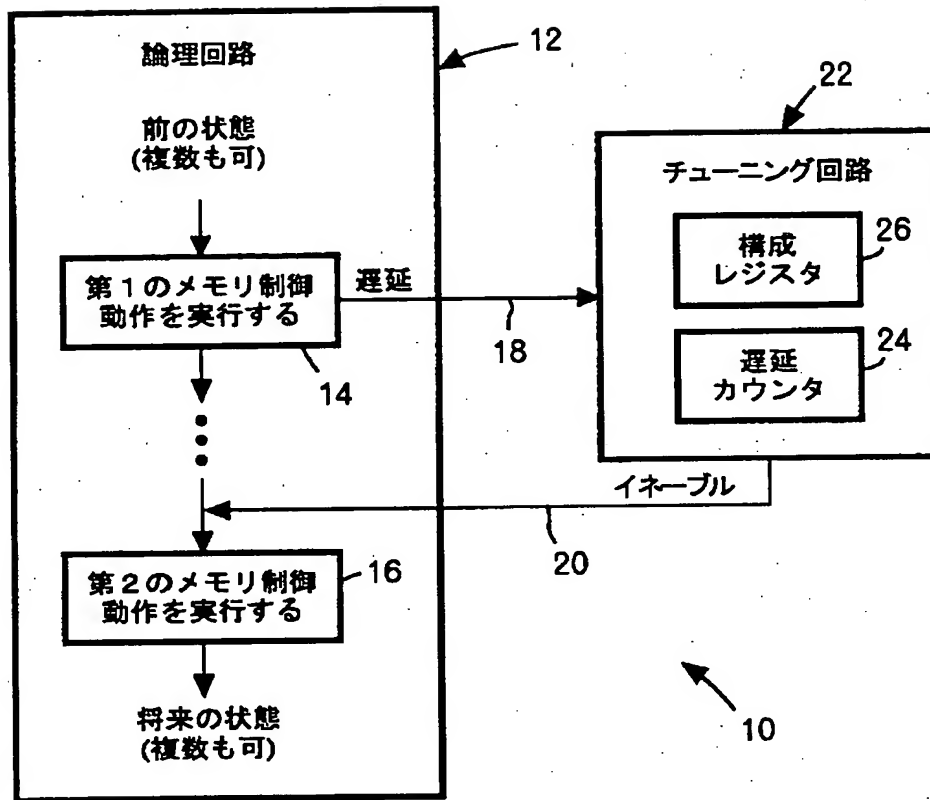
【図 10】

第 1 のタイミング・パラメータ・セットを有するメモリ記憶装置とともに使用する場合の、本発明に適合するメモリ・コントローラを使用する読取りアクセス中のメモリ制御動作の例示的なタイミングを示すタイミング図である。

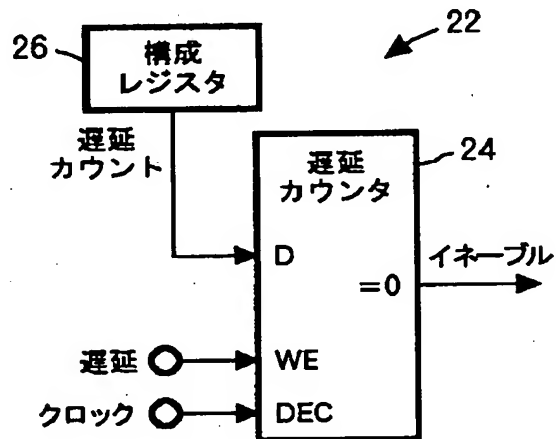
【図 11】

第 2 のタイミング・パラメータ・セットを有するメモリ記憶装置とともに使用する場合の、本発明に適合するメモリ・コントローラを使用する書込みアクセス中のメモリ制御動作の例示的なタイミングを示すタイミング図である。

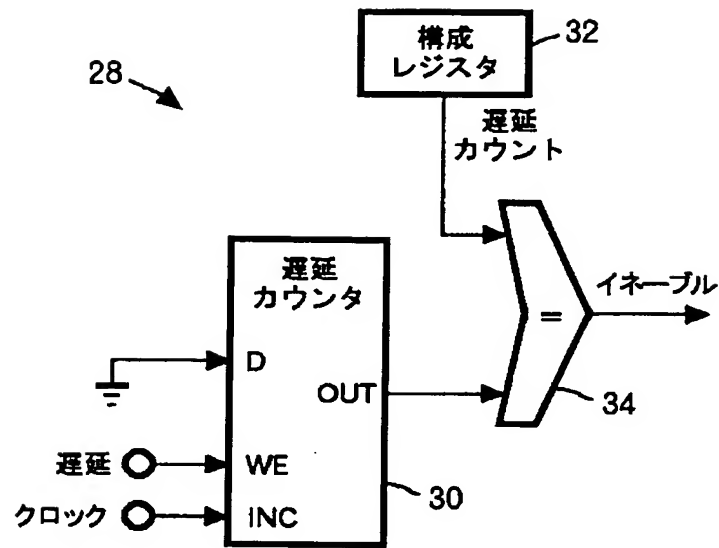
【図1】



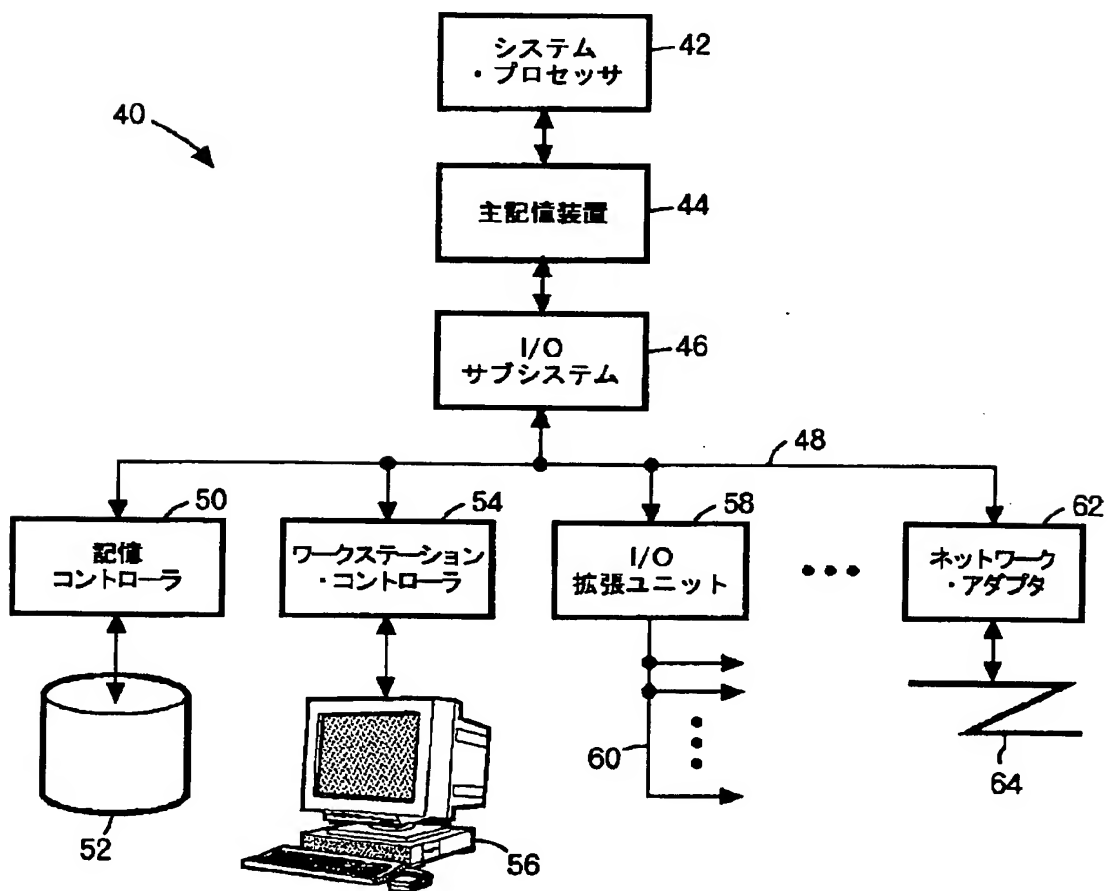
【図2】



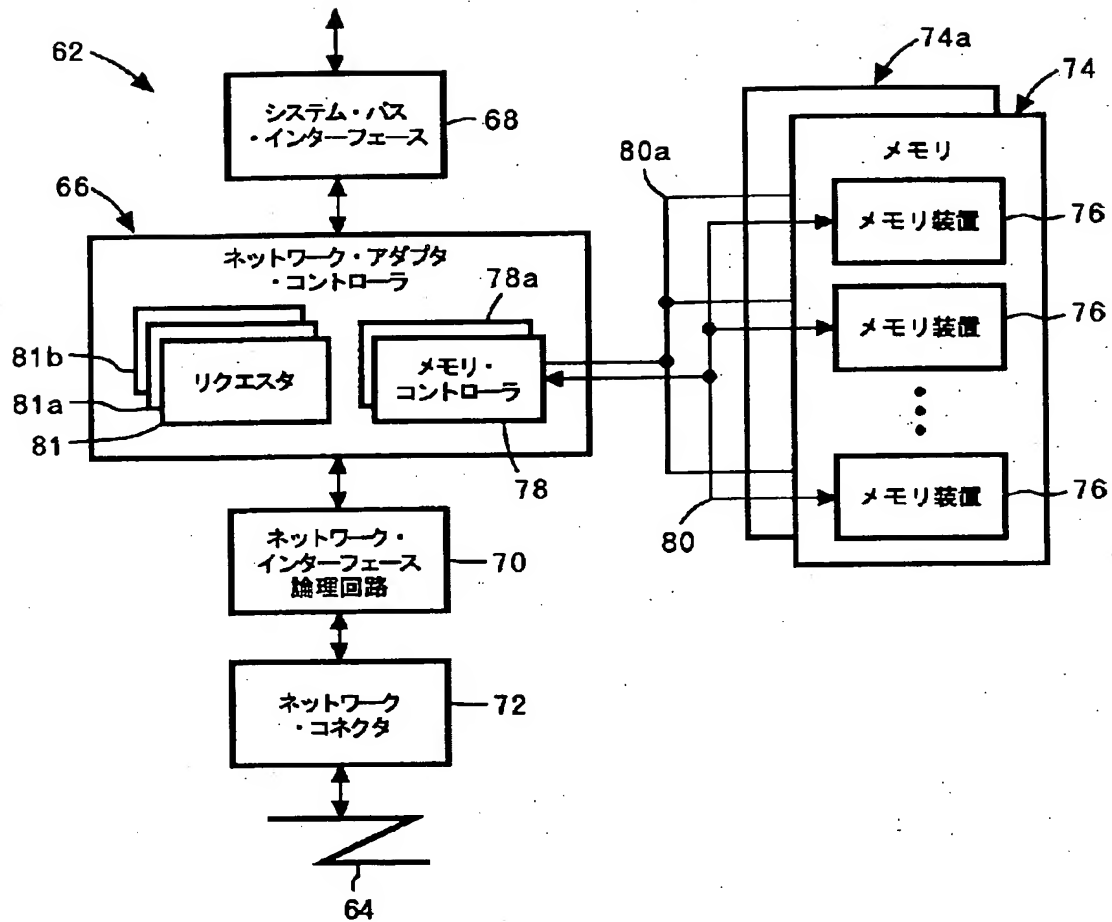
【図3】



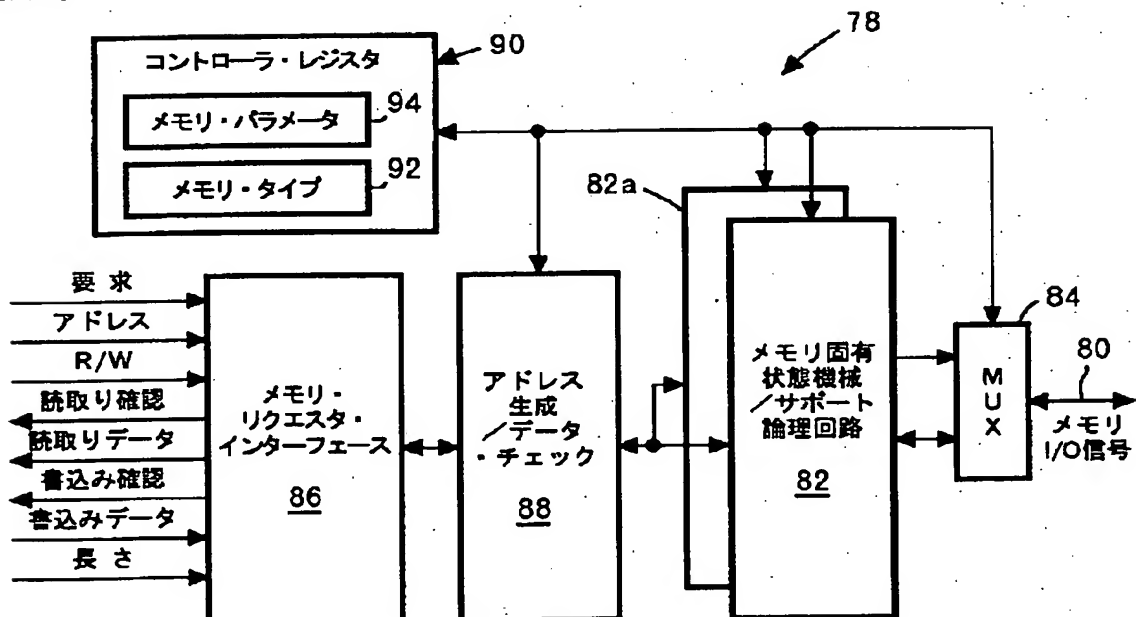
【図4】



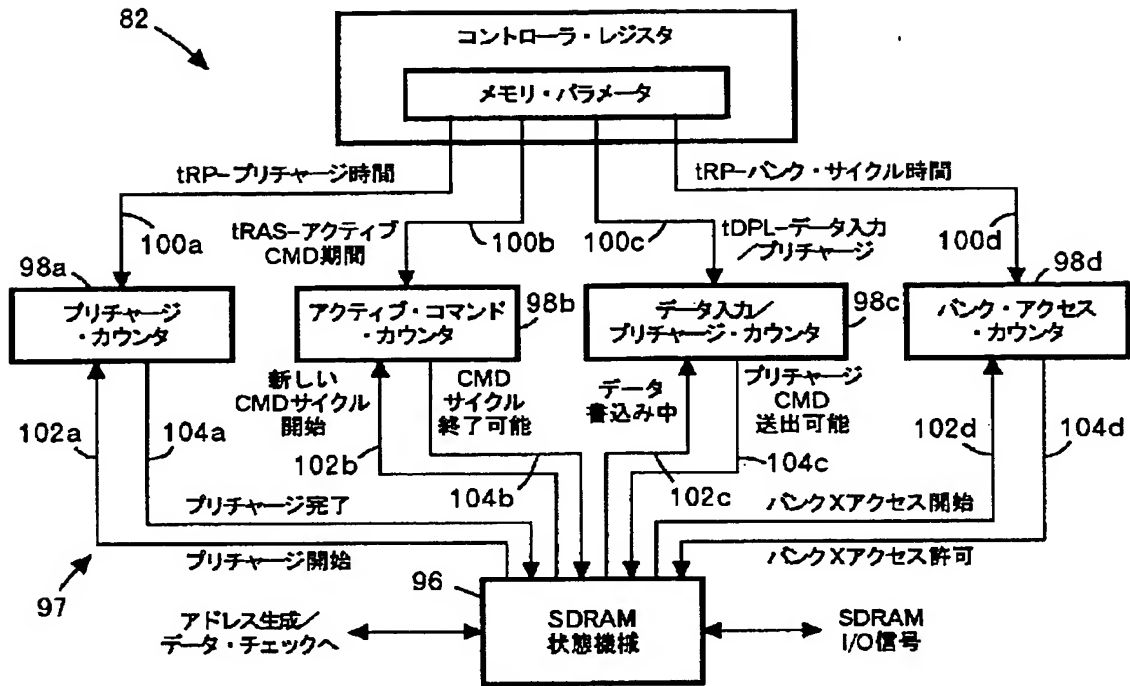
【図5】



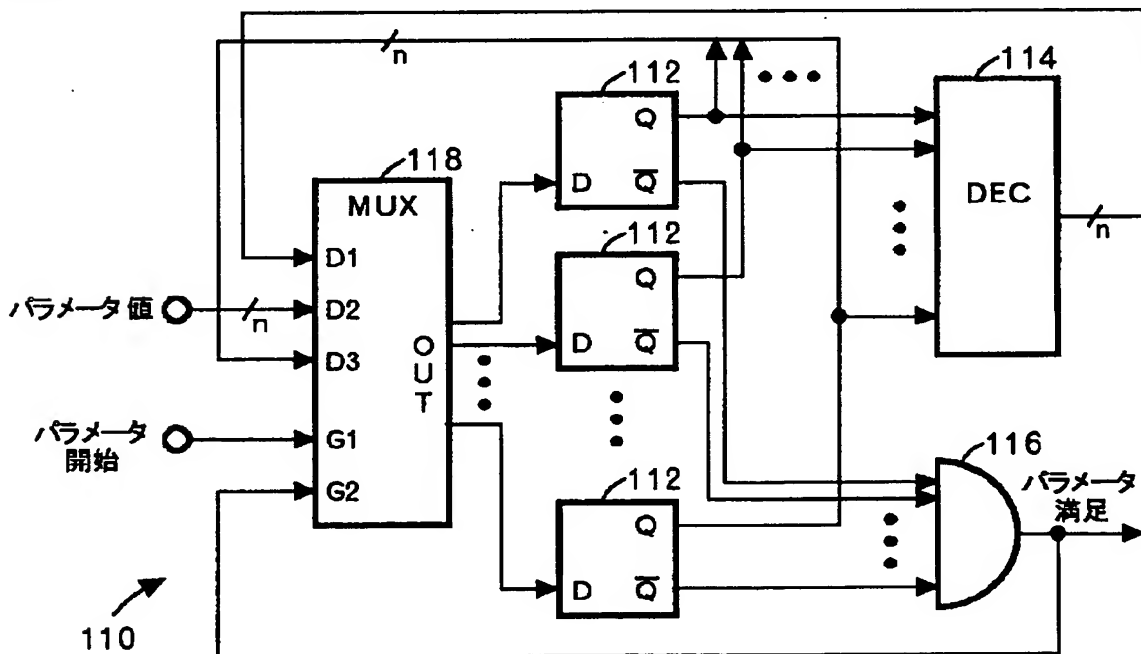
【図6】



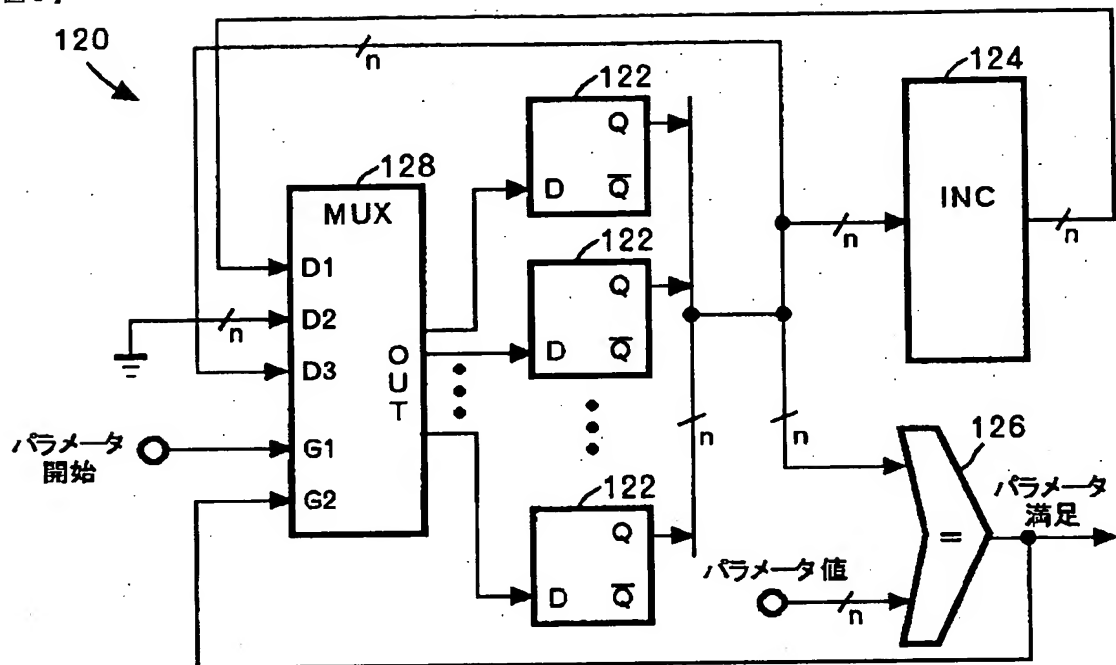
【図7】



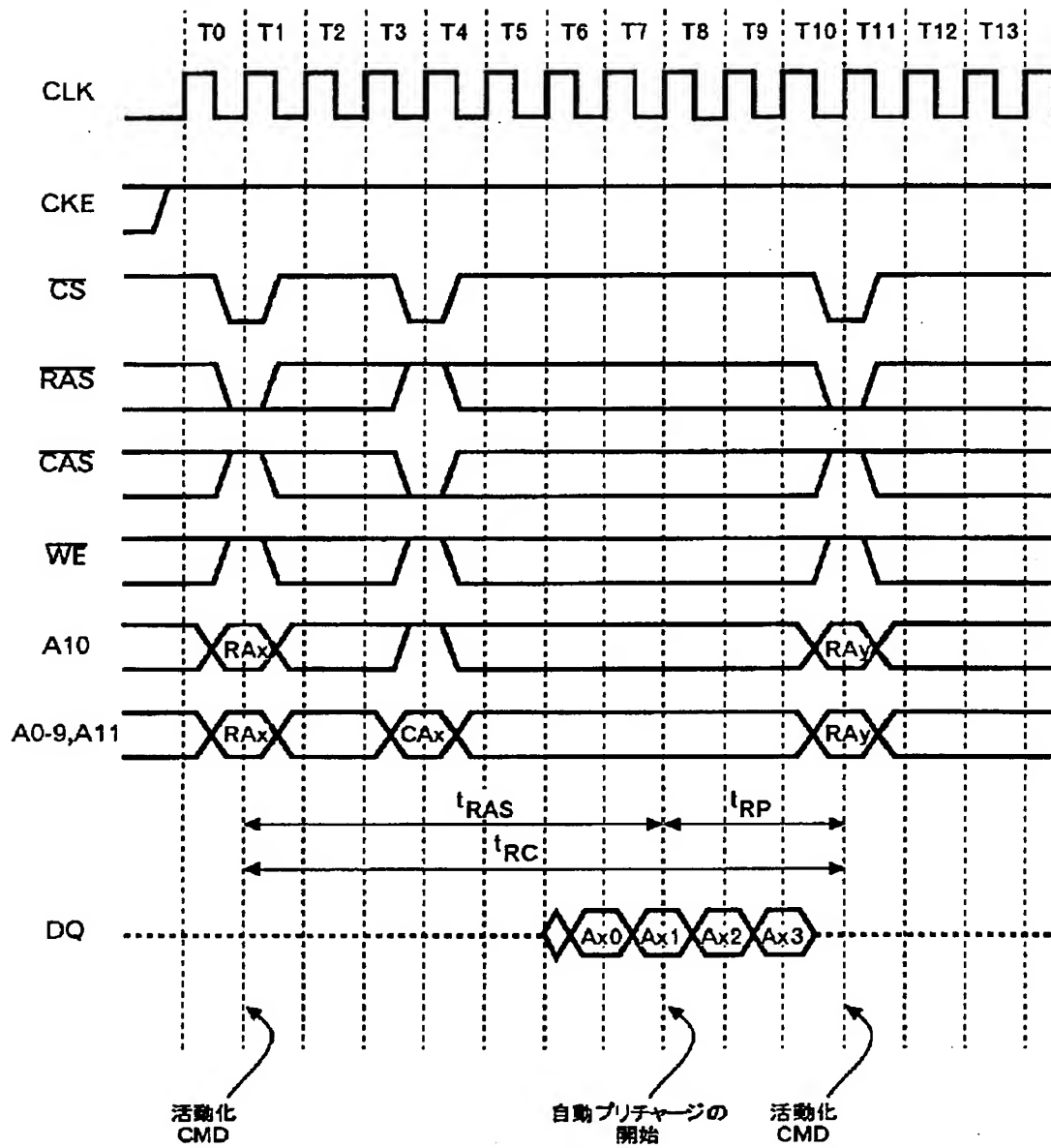
【図8】



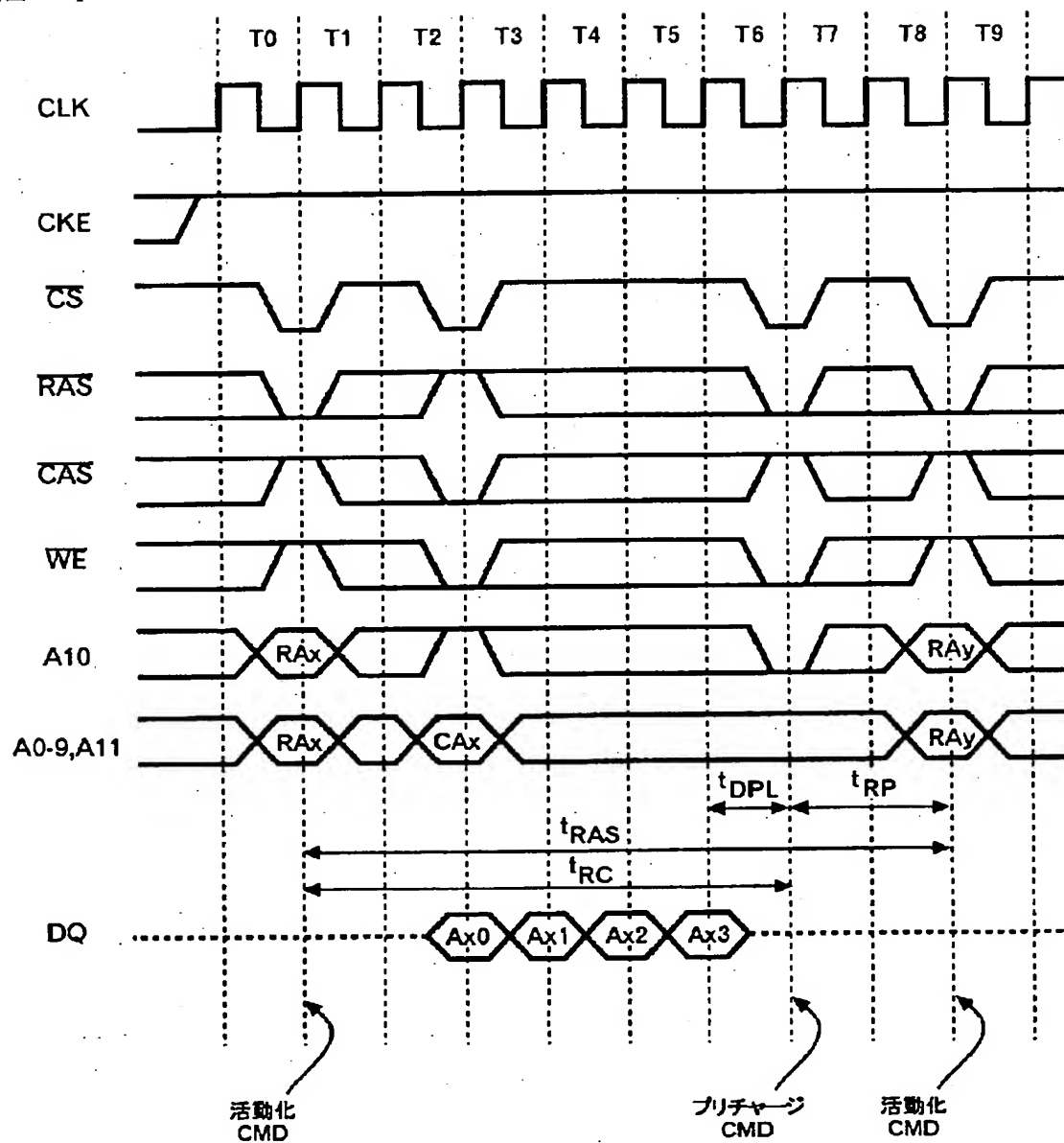
【図9】



【図10】



【図11】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int. Appl. No.
PCT/US 99/05175

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F13/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 97 10538 A (MICRON ELECTRONICS INCORPORATED) 20 March 1997 (1997-03-20) page 4, line 5 - page 7, line 17 page 16, line 11 - page 33, line 19 figures 5-13	1-24
A	EP 0 339 224 A (IBM CORPORATION) 2 November 1989 (1989-11-02) page 3, line 5 - page 4, line 17 page 7, line 14 - page 9, line 2 figures 1,7-10	1,19,20
A	US 5 809 340 A (BERTONE ET AL) 15 September 1998 (1998-09-15) abstract column 15, line 18 - column 17, line 26 claims 1-5; figure 5	1,19,20

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *B* document member of the same patent family

Date of the actual completion of the international search

23 August 1999

Date of mailing of the international search report

31/08/1999

Name and mailing address of the ISA
European Patent Office, P.O. Box 5818 Patentstein 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl
Fax (+31-70) 340-3016

Authorized officer

McDonagh, F

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. l. Application No
PCT/US 99/05175

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9710538 A	20-03-1997	US 5692165 A US 5857095 A US 5819076 A	25-11-1997 05-01-1999 06-10-1998
EP 339224 A	02-11-1989	JP 2012541 A US 5301278 A	17-01-1990 05-04-1994
US 5809340 A	15-09-1998	US 5517648 A US 5522069 A	14-05-1996 28-05-1996

THIS PAGE BLANK (USPTO)